

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-251455

(43) 公開日 平成5年(1993)9月28日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321		9168-4M 9168-4M	H 0 1 L 21/92	T C

審査請求 未請求 請求項の数3(全4頁)

(21) 出願番号 特願平4-47154

(22) 出願日 平成4年(1992)3月4日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 武居 栄

神奈川県川崎市幸区小向東芝町 1 株式
会社東芝総合研究所内

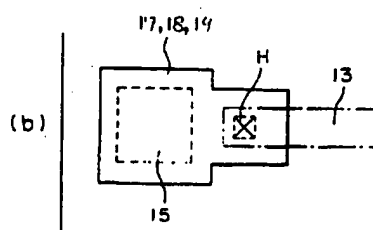
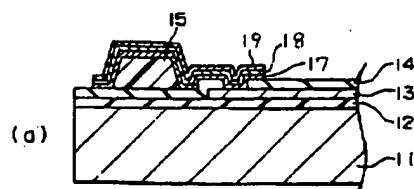
(74) 代理人 弁理士 木村 高久

(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【目的】 本発明は、パンプの高さが均一でかつ電気的特性の良好な半導体装置を提供することを目的とする。

【構成】 本発明では、素子領域および配線14の形成された半導体基板11表面に突出するように絶縁性の突起部15を形成し、この突起部15を覆うと共に配線14に電気的に接続するようにパンプとしての金属膜17、18、19を形成している。



【特許請求の範囲】

【請求項1】 素子領域および配線の形成された半導体基板表面に突出するように形成された絶縁性の突起部と、前記突起部を覆うと共に前記配線に電氣的に接続されたバンパとしての金属膜とを具備したことを特徴とする半導体装置。

【請求項2】 前記金属膜は、前記基板表面を覆う保護膜に形成されたスルーホールを介して前記配線に電氣的に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記突起部は、耐熱性樹脂で構成されていることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置に係り、特に半導体集積回路チップ上へのバンパの形成に関する。

【0002】

【従来の技術】 近年、半導体集積回路の分野では、集積化が進められており、入出力信号や電源電圧を供給するためのパッド数は益々増大し、動作速度の迅速化は進む一方である。

【0003】 このように高密度に集積化された半導体集積回路の実装に際しては、パッド数の増大に伴い、パッドピッチの縮小化がはかられている。しかし、従来のワイヤボンディング技術では、そのピッチは100μmが限界であり、またパッド数の増大に伴うワイヤボンディングに要する時間の増大も大きな問題となっている。そこで、このような問題を解決するため、長尺状の可撓性フィルム基板上に金属箔配線を形成したフィルムキャリアやリードフレーム等に、接続用の突起電極（バンパ）を介して、これと半導体集積回路チップのパッドとを接続するTAB（Tape Automated Bonding）技術が提唱され、開発が進められている。この技術により、パッドピッチが60μm程度の半導体集積回路まで対応することが可能であるといわれている。

【0004】 このTAB方式では、リードフレーム側にバンパを形成するものと半導体装置のチップ側にバンパを形成するものがあるが、半導体装置のチップ側にバンパを形成するものの場合、半導体装置の形成後にバンパを形成する工程が必要となる。

【0005】 従来、図5に示すように、半導体基板1上に絶縁膜2を介してA1配線層3を形成した後保護膜4として酸化シリコン膜などを形成し、これにスルーホールHを開口し、さらに選択めっきによりこのスルーホールH内に開口するA1配線層3から金または半田のめっき層5を形成しこれをバンパとして用いるようにしたものが提案されている。この方法では選択めっきによってバンパが形成されるため、高さの制御が極めて困難であ

【0006】 この問題を解決するため、図6に示すように、半導体基板1上を覆う絶縁膜2の一部にビアホールhを開口し、このビアホールhからシリコンのエピタキシャル成長によりシリコン突起部6を形成し、この周辺または頂部にバリア層7と銅層8と金層9との多層構造の金属膜を形成しこれをバンパとしたものも提案されている（特開昭62-293648）。この構造では、バンパはシリコンで構成されているため基板との熱膨張率の差がないため、ボンディングに際してクラックが発生するのを防止することができるという特徴を有している。

【0007】

【発明が解決しようとする課題】 このように、シリコンの選択成長によりバンパを形成する方法では、バンパの高さのばらつきは低減されたがボンディングに際してクラックが発生するおそれはないが、バンパの核に半導体であるシリコンを用いているため、100℃程度の高温で動作させる場合、シリコンの比抵抗が低下し基板へのリーク電流が発生しやすくなり、誤動作の原因となることもある。

【0008】 また、シリコンのエピタキシャル成長は一般に800℃以上の高温で行わなければならないため、600℃程度の耐熱性しかもたないA1配線はこれに耐えられない。従ってA1配線の形成に先立ち、シリコンのエピタキシャル成長を行い突起部6を形成しておく必要がある。このため、1μm以下の微細な加工精度を必要とする半導体集積回路では、フォトリソグラフィに用いるフォトレジストがこの突起部近傍で薄くなったりしてチップ全域に均一に塗布されず、加工精度が低下するという問題があった。

【0009】 本発明は、前記実情に鑑みてなされたもので、バンパの高さが均一でかつ電氣的特性の良好な半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】 そこで本発明の半導体装置では、素子領域および配線の形成された半導体基板表面に突出するように絶縁性の突起部を形成し、この突起部を覆うと共に配線に電氣的に接続するようにバンパとしての金属膜を形成している。

【0011】 望ましくはこの金属膜は、基板表面を覆う保護膜に形成されたスルーホールを介して配線に電氣的に接続される。

【0012】 さらに望ましくはこの突起部は、耐熱性樹脂で構成している。

【0013】

【作用】 上記構成によれば、突起部の核は絶縁膜で形成されているため、高温での使用に際してもリーク発生のおそれもなく、電氣的特性を良好に維持することができ、また、絶縁膜のパターニングにより高さの均一な突

後に形成することができるため、配線パターンのパターニング精度を低下させることもない。

【0014】製造に際しては、例えば、素子領域および配線の形成された半導体基板上に保護膜を形成し、この保護膜上に半導体基板表面に突出するように絶縁性の突起部を形成したのちこの保護膜にスルーホールを形成し、突起を覆うとともにスルーホールを介して配線に電気的に接続するように、パンプとなる金属膜パターンを形成する等の方法をとる。

【0015】

〔実施例〕以下、本発明の実施例について図面を参照しつつ詳細に説明する。

【0016】図1(a)および(b)は、本発明実施例の半導体装置を示す図である。

【0017】この半導体装置は、シリコン基板11上に絶縁膜としての酸化シリコン膜12を介してA1配線層13を形成した後、保護膜としての酸化シリコン膜14を形成し、これにスルーホールHを開口し、さらにポリイミド膜からなる突起15を形成し、この突起15の上層からスルーホールHにかけてバリア層17と銅層18と金層19との3層構造の導体膜を形成し、A1配線層13との電気的接続を行うことにより、この突起15上を覆う3層構造の導体膜をパンプとして用いるようにしたことを特徴とするものである。

【0018】すなわち、この構造ではパンプとなる突起15の下地は、シリコン基板11上に形成された酸化シリコン膜12と保護膜としての酸化シリコン膜14とであり、3層膜のパターンはこの突起15を覆うとともにスルーホールH内に露呈するA1配線層13上を覆うように形成されている。

【0019】次にこの半導体装置の製造方法について説明する。

【0020】まず、所望の素子領域の形成されたシリコン基板11上に絶縁膜としての酸化シリコン膜12を形成しさらにスパッタリング法によりA1薄膜を形成しフォトリソグラフィを用いてこれをパターニングしA1配線層13を形成する。

【0021】さらに、図2(a)に示すようにCVD法により保護膜としての酸化シリコン膜14を形成し、フォトリソグラフィによりスルーホールHを開口する。

【0022】この後、図2(b)に示すように、ポリイミド膜をスピンコート法によって膜厚 $6\mu\text{m}$ となるように塗布し、フォトリソグラフィによってレジストマスクを形成し、ヒドラジンによってレジストマスクから露呈する領域を選択的に除去し、ポリイミド膜からなる突起15を形成する。

【0023】そしてさらに、膜厚 $0.5\mu\text{m}$ のチタン薄膜17と膜厚 $0.5\mu\text{m}$ の銅薄膜18と膜厚 $1\mu\text{m}$ の金薄膜19をスパッタリング法により堆積し、フォトリソグラフィによりこれら3層膜をパターニングし、この突

起15の上層からスルーホールHにかけてバリア層17と銅層18と金層19との3層構造の導体膜を形成し、A1配線層13との電気的接続を行い、図1(a)および(b)に示した半導体装置が完成する。

【0024】このようにして、この突起15上を覆う3層構造の導体膜によって形成されたパンプをもつパンプ付き半導体装置が得られる。

【0025】このパンプをリードフレームあるいはフィルムキャリアの所定のインナーリードに直接ボンディングを行うことにより、電気的接続を行い、樹脂封止をおこなって実装がなされる。

【0026】この構造ではパンプとなる突起15はポリイミド膜で形成されており、シリコンを用いた場合のようなリーク発生のおそれはない。またこの構造ではA1配線層の形成後に突起を形成すれば良いため、配線パターンの精度を低下させることもない。

【0027】ここで、突起の高さは $6\mu\text{m}$ ($5\sim 10\mu\text{m}$ 程度)であるが、導体膜のパターニングに際し、写真蝕刻法で用いるフォトレジスト膜を突起部の周辺に均一に塗布するのは困難であるが、数十 μm 程度の比較的大きい形状のパンプであるため、加工上の不都合は少ない。

【0028】なお、前記実施例で突起の形成にポリイミドを用いたのは、均一な膜厚を得ることができること、および下地との密着性が良好であること、 300°C 以上の耐熱性を有し、後続の導体膜の形成時における熱に耐え得るという点である。しかしながら、このような均一な膜厚を得ることができること、下地との密着性が良好であること、後続の導体膜の形成時における熱に耐え得ることという条件を満たすものであれば、酸化シリコン膜などの絶縁膜を用いても良い。この場合は突起形成のためのフォトリソグラフィ工程を別に設ける必要がある。またポリイミドの場合、感光材料を添加することにより容易に感光性を持たせることができる。すなわち感光性材料を添加したポリイミド膜をスピンコート法によって膜厚 $6\mu\text{m}$ となるように塗布し、マスクを介して露光し潜像を形成し、ヒドラジンによって現像し、ポリイミド膜からなる突起15を形成するようにしてもよい。

【0029】また、前記実施例ではパンプはA1配線層の形成されていない領域に形成したが、図3に示すように、A1配線層13の上に重なるように形成しても良い。この場合は特別にパンプ形成領域を必要としないため、装置の大型化を防ぐことができる。さらにこの場合、保護膜14上ではなく直接A1配線層13の上にポリイミド膜からなる突起15を形成してもよいことはいふまでもない。

【0030】また、図4に示すように保護膜の形成に先立ちパンプ15上からA1配線層13にかけて導体膜を形成し、この上層に保護膜14を形成するようにしても

よい。また保護膜を省略してもよい。

【0031】また、3層膜からなる導体膜については基板との密着性、導電性、リードフレームとの接続性を満足するものであればよいことはいうまでもない。

【0032】

【発明の効果】以上説明してきたように、本発明によれば、高さが均一なバンプを有し、電気的特性を良好に維持することのできる半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明実施例の半導体装置を示す図

【図2】本発明実施例の半導体装置の製造工程図

【図3】本発明の他の実施例の半導体装置を示す図

【図4】本発明の他の実施例の半導体装置を示す図

【図5】従来例の半導体装置を示す図

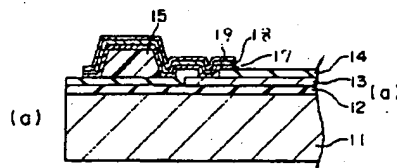
【図6】従来例の半導体装置を示す図

【符号の説明】

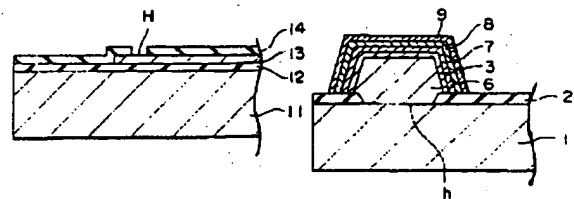
1 シリコン基板

- 2 絶縁膜
- 3 Al配線層
- 4 保護膜
- 5 めっき層 (バンプ)
- 6 シリコン突起部
- 7 Ti層
- 8 Cu層
- 9 Au層
- 10 11 シリコン基板
- 12 酸化シリコン膜
- 13 Al配線層
- 14 保護膜
- 15 突起 (ポリイミド膜)
- 17 Ti層
- 18 Cu層
- 19 Au層

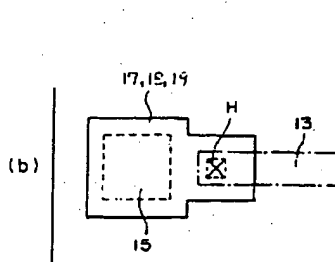
【図1】



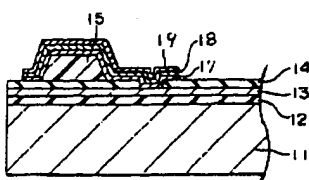
【図2】



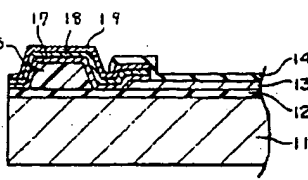
【図6】



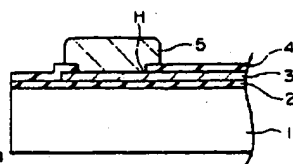
【図3】



【図4】



【図5】



PUBLICATION NUMBER : 05251455
PUBLICATION DATE : 28-09-93

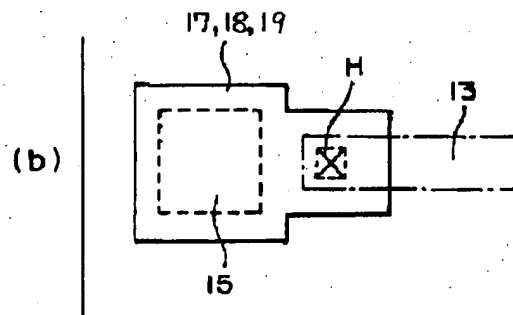
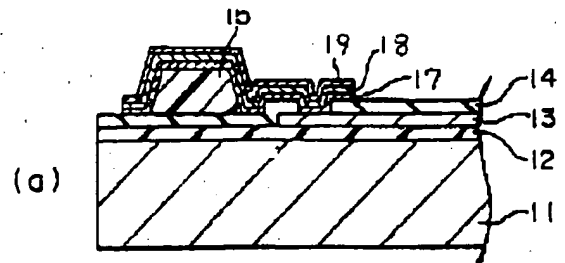
APPLICATION DATE : 04-03-92
APPLICATION NUMBER : 04047154

APPLICANT : TOSHIBA CORP;

INVENTOR : TAKEI SAKAE;

INT.CL. : H01L 21/321

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To keep uniform the height of a bump and ensures excellent electrical characteristic by forming an insulated projected area at the surface of semiconductor substrate on which an element region and wirings are formed and then forming a metal film as a bump covering the projected area and electrically connecting the wirings.

CONSTITUTION: This semiconductor device forms an aluminium wiring layer 13 on a silicon substrate 11 via a silicon oxide film 12 as an insulating film and thereafter forms a silicon oxide film 14 as a protection film. A through hole H is opened, a projection 15 consisting of a polyimide film is formed and a conductive film of the three-layer structure of a barrier layer 17, copper layer 18 and a metal layer 19 is formed from the upper layer of this projection 15 to the through hole H. By electrical connection with the aluminium wiring layer 13, a conductive film of the three-layer structure covering the projection 15 is used as a bump. Thereby, the height of bump is made uniform and good electrical characteristic can be maintained.

COPYRIGHT: (C) JPO

THIS PAGE BLANK (USPTO)